

運算放大器設計

系所／電子工程學系

指導老師／林憶霞

組員／魯耿華、蘇正清、黃仲榆、林家晟、胡育群

在現今的生活中積體電路(Integrated Circuit)與我們密不可分，大多數的電子產品都是依靠內部的晶片以執行其功能，運算放大器(Operational Amplifier) 因特性十分接近理想，所以應用在許多積體電路中，此專題使用 CI C 所提供的 CADENCE 軟體以全客戶式(Full-Custom)的方式設計一個軌對軌運算放大器(Rail-to-Rail Operational Amplifier)。

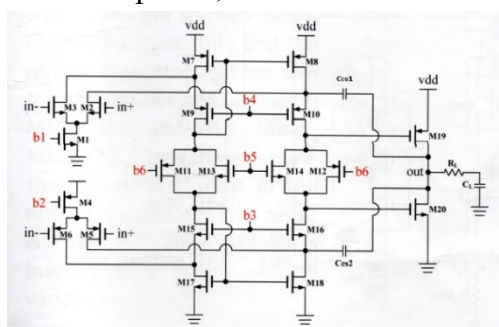


圖 1：電路圖

為了達到低功耗的規格，本專題的電晶體操作區都操作在次臨界區 (Sub-threshold Region)，此時的電流為擴散電流並呈指數形式。

$$I_{sub} = I_0 \times e^{\frac{q}{nk_B T} (V_{gs} - V_{tho} + \gamma V_{bs} + \eta V_{ds})} \left(1 - e^{\frac{-qV_{ds}}{k_B T}}\right)$$

利用 H-Spice 完成 Pre-sim 以確認前端設計的晶片符合各項規格，在佈局 (Layout) 完成後進行 DRC 和 LVS 的驗證，並在最後進行 Post-sim 以檢驗晶片實際的可行性。

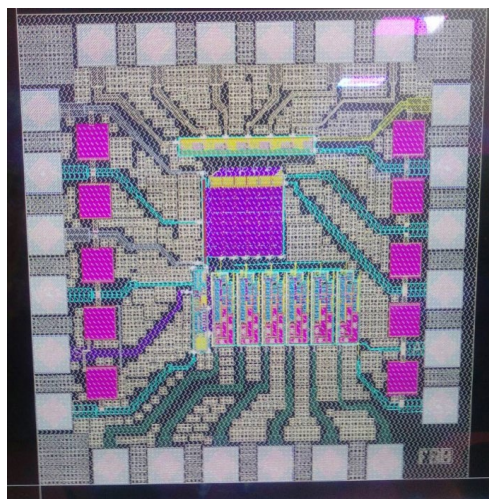


圖 2：佈局圖

表 1：各參數比較圖

| Pre-sim vs Post-sim | Pre-sim | Post-sim |
|-------------------------|------------|-------------|
| power | 3.3v | 3.3v |
| Total power dissipation | 20.9261μW | 20.5927μW |
| Unit gain | 1.003 MHz | 715.8344kHz |
| Phase margin | 70.5072° | 69.8561° |
| DC gain | 110.7543db | 96.0386db |
| Settling time | 3.95μs | 4.74μs |