

P 型銻電晶體之特性研究

系所／電子工程學系

指導老師／邱福千

組員／許廷維、張子豪、吳育賢、張暄翎

隨著互補式金屬氧化物半導體 (CMOS) 的微縮，具有高電洞遷移率的 P 型銻金屬氧化物半導體場效應電晶體 (Ge pMOSFET)，被認為是下一個技術節點很可能使用的材料。在這裡提出了 ZrO₂/Zr-cap/Al₂O₃/GeO₂ 閘極堆疊 (Gate stack) 銻金屬氧化物半導體場效應電晶體，閘極堆疊降低了銻元件的等效氧化層厚度 (EOT)，但仍有不可忽視的可靠度問題，我們對銻元件的時依性介電層崩潰 (Time Dependent Dielectric Breakdown, TDDB) 和負偏壓溫度不穩定性效應 (Negative Bias Temperature Instability, NBTI) 進行可靠度分析。」

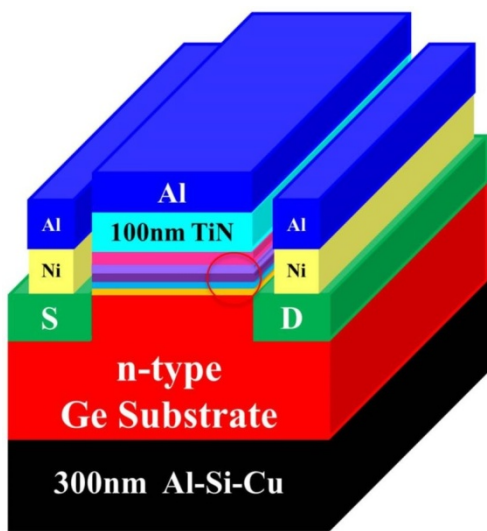


圖 1：Ge pMOSFETs

Stress 電壓的兩張 Ids-Vds 圖，在這裡，我們固定的閘極電壓 (V_{gs}) 為 -0.5V，並將 V_{ds} 由 0V 掃到 -1V。由圖 2 及圖 3，可以觀察到 NBTI stress 的電壓愈大或時間愈長，汲極電流退化愈嚴重。」

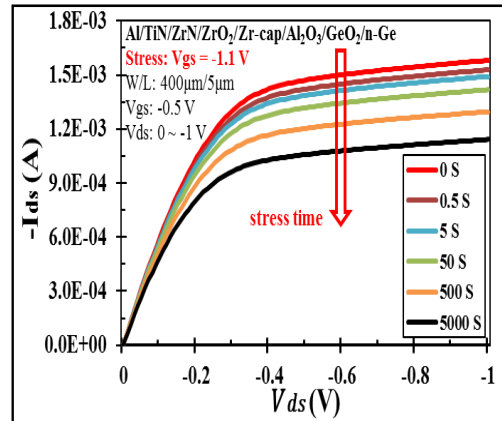


圖 2：stress:-1.1V 輸出特性曲線

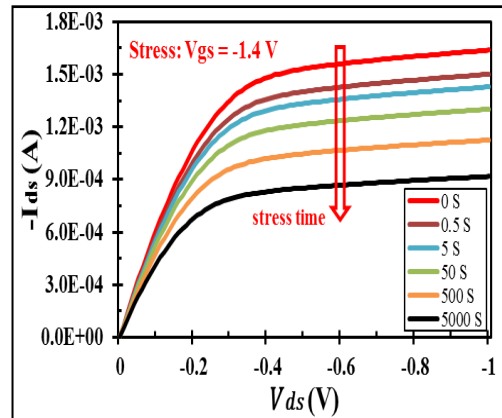


圖 3：stress:-1.4V 輸出特性曲線

公式 $\Delta J = \sum N_i(E_{ox}, t) \cdot [1 - e^{-(t-t_i)/\tau_i}]^{i+\alpha} \cdot t^i$ 模擬出電流密度變化的曲線如圖 4。圖中可發現，第一次產生的 N₀ 值 (i=0) 可達到 20 (A/cm²)，τ₀ 值為 1.7 秒，但 i=1 之後 (指第一次產生與原先不同類型

圖 2 及圖 3 為施加 -1.1V 和 -1.4V

半導體光電類
之陷阱)，N1 值下降到 10.5 (A/cm²) 以下，少了接近一倍(i=2 以後亦是)，時間常數(τ_1)也增加為 30 秒以上，顯示漏電流減小的現象，主要還是最先產生的陷阱所主導，且應力誘發漏電流(SILC)的影響可以忽略。

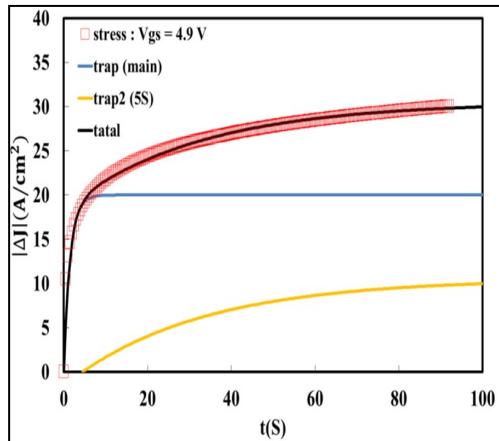


圖 4 電流密度變化(ΔJ)與時間特性曲線值模擬

圖 5 為選擇較典型漏電流變化隨電壓增加之變化的 ΔJ -t 圖，圖中不同顏色方型符號為實驗數據，穿過中間之黑色實線為使用電荷捕獲成分模擬曲線，實驗值結果與模擬值非常的吻合。

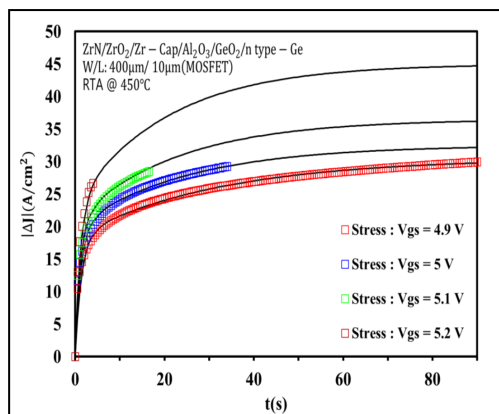


圖 5 典型漏電流變化隨電壓增加之變化的 ΔJ -t