

P 通道鍺電晶體之研究

系所／電子工程學系

指導老師／邱福千

組員／陳凱翔、曾俊凱、曾俊嘉、吳晨希

金氧半場效電晶體 (Metal-Oxide-Semiconductor-Field-Effect-Transistor, MOSFET) 隨著科技進步開發出的尺寸逐漸減小，在元件不斷縮小的情況下，發現通道載子遷移率有下降的跡象，因此便嘗試使用高介電系數 (High-K) 的材料-鍺(Ge)來做測試及分析，以改善上述情形。我們選擇高於矽 (Si) 兩倍的電子遷移率和四倍的電洞遷移率的鍺(Ge)應用於金氧半場效電晶體作為此研究的主要方向。

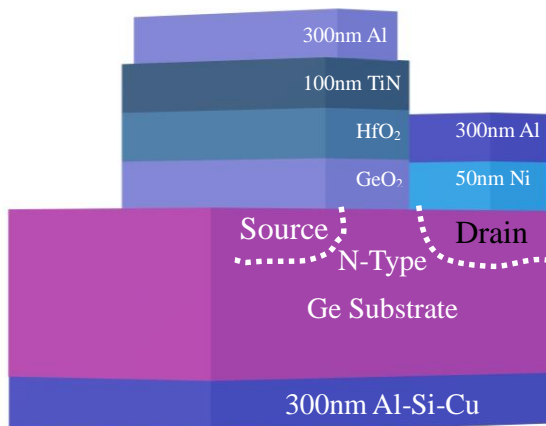


圖 1: Ge-PMOSFETs

我們對鍺元件做負偏壓溫度不穩定性效應(Negative Bias Temperature Instability, NBTI)跟時依性介電層崩潰 (Time Dependent Dielectric Breakdown, TDDB)的可靠度分析，以及從一般電壓電流關係中得到鍺元件的臨界電壓

(Threshold Voltage, V_{th})分析對元件的影響。

TDDB 我們以 $\ln(-\ln(1-f))$ 對 $\ln(x/\alpha)$ 作圖，所得到的斜率即是韋布斜率(β)，介此來判斷可靠度。

NBTI 我們藉由在閘極施加負偏壓，來觀察元件特性的退化，當施加的應力越大、應力時間越長，I-V 偏移越嚴重，元件退化越嚴重。

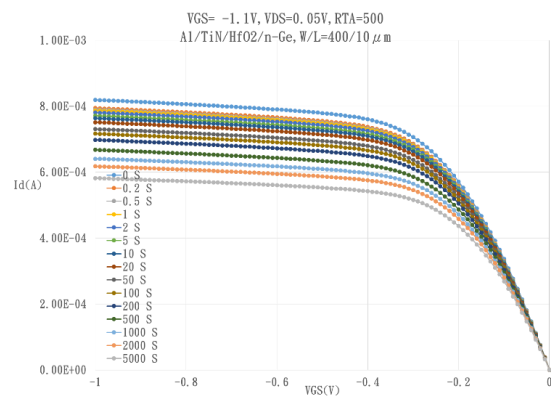


圖 2: 隨著 Stress Time 增加 I_D - V_G 輸出特性曲線